



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

X4

In re Patent Application of: )  
**BEAUJOIN ET AL.** )  
Serial No. **10/075,113** )  
Filing Date: **FEBRUARY 13, 2002** )  
For: **A METHOD OF TESTING A SEQUENTIAL  
ACCESS MEMORY PLANE AND A  
CORRESPONDING SEQUENTIAL ACCESS  
MEMORY SEMICONDUCTOR DEVICE** )

**COPY OF PAPERS  
ORIGINALLY FILED**

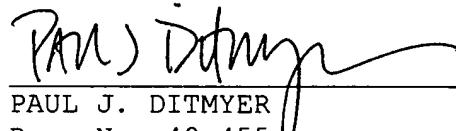
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Director, U.S. Patent and Trademark Office  
Washington, D.C. 20231

Sir:

Transmitted herewith is a certified copy of the  
priority French Application No. 0102333.

Respectfully submitted,

  
PAUL J. DITMYER  
Reg. No. 40,455  
Allen, Dyer, Doppelt, Milbrath  
& Gilchrist, P.A.  
255 S. Orange Avenue, Suite 1401  
Post Office Box 3791  
Orlando, Florida 32802  
Telephone: 407/841-2330  
Fax: 407/841-2343  
Attorney for Applicant

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being  
deposited with the United States Postal Service as first class  
mail in an envelope addressed to: DIRECTOR, U.S. PATENT AND  
TRADEMARK OFFICE, WASHINGTON, D.C. 20231, on this 5<sup>th</sup> day of  
March, 2002.



THIS PAGE BLANK (USP TO)

TECHNOLOGY CENTER 2800

JPR 12 2002

RECEIVED



2

# BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

### COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

14 FEV. 2002

Fait à Paris, le

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

Martine PLANCKE

RECEIVED  
TECHNICAL CENTER 2000  
MARCH 12 2002  
SIEGE  
INSTITUT  
26 bis, rue de Saint Petersburg

THIS PAGE BLANK (USPTO)



26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

## BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11354\*01

## REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 W /260899

REMISE DES PIÈCES		Réservé à l'INPI
DATE	<b>21 FEV 2001</b>	
LIEU	75 INPI PARIS	
N° D'ENREGISTREMENT	0102333	
NATIONAL ATTRIBUÉ PAR L'INPI		
DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI	21 FEV. 2001	
Vos références pour ce dossier (facultatif)	B 00/4113 FR	FZ

**1** NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE  
À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE

BUREAU D.A. CASALONGA-JOSSE  
8, Avenue Percier  
75008 PARIS

Confirmation d'un dépôt par télécopie  N° attribué par l'INPI à la télécopie

<b>2</b> NATURE DE LA DEMANDE	Cochez l'une des 4 cases suivantes		
Demande de brevet	<input checked="" type="checkbox"/>		
Demande de certificat d'utilité	<input type="checkbox"/>		
Demande divisionnaire	<input type="checkbox"/>		
Demande de brevet initiale <i>ou demande de certificat d'utilité initiale</i>	N°	Date	/ /
	N°	Date	/ /
Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i>	<input type="checkbox"/>	Date	/ /
	N°		

**3** TITRE DE L'INVENTION (200 caractères ou espaces maximum)

Procédé de test d'un plan-mémoire à accès séquentiel, et dispositif semiconducteur de mémoire à accès séquentiel correspondant.

<b>4</b> DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date / / N°
		Pays ou organisation Date / / N°
		Pays ou organisation Date / / N°
		<input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé « Suite »
<b>5</b> DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé « Suite »
Nom ou dénomination sociale		STMicroelectronics SA
Prénoms		
Forme juridique		Société Anonyme
N° SIREN		
Code APE-NAF		
Adresse	Rue	7 avenue Galliéni
	Code postal et ville	94250 GENTILLY
Pays		FRANCE
Nationalité		Française
N° de téléphone (facultatif)		
N° de télécopie (facultatif)		
Adresse électronique (facultatif)		

**BREVET D'INVENTION  
CERTIFICAT D'UTILITÉ**
**REQUÊTE EN DÉLIVRANCE 2/2**

Réervé à l'INPI

REMISE DES PIÈCES

DATE **21 FEV 2001**LIEU **75 INPI PARIS**

N° D'ENREGISTREMENT

**0102333**

NATIONAL ATTRIBUÉ PAR L'INPI

DB 540 W / 190600

**Vos références pour ce dossier  
(facultatif)****B 00/4113 FR T FEZ****6 MANDATAIRE**

Nom

Prénom

Cabinet ou Société

**BUREAU D.A. CASALONGA-JOSSE**N° de pouvoir permanent et/ou  
de lien contractuel

Rue

Adresse

Code postal et ville

N° de téléphone (facultatif)

N° de télécopie (facultatif)

Adresse électronique (facultatif)

**75008 PARIS****7 INVENTEUR (S)**

Les inventeurs sont les demandeurs

**Uniquement pour une demande de brevet (y compris division et transformation)****8 RAPPORT DE RECHERCHE**Etablissement immédiat  
ou établissement différé**Paiement en deux versements, uniquement pour les personnes physiques**

Paiement échelonné de la redevance

**Uniquement pour les personnes physiques** Requise pour la première fois pour cette invention (joindre un avis de non-imposition) Requise antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence)Si vous avez utilisé l'imprimé «Suite»,  
indiquez le nombre de pages jointes**Uniquement pour les personnes physiques****9 RÉDUCTION DU TAUX  
DES REDEVANCES** Requise pour la première fois pour cette invention (joindre un avis de non-imposition) Requise antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence)

Le taux de réduction de la redevance est de %

**VISA DE LA PRÉFECTURE  
OU DE L'INPI****10 SIGNATURE DU DEMANDEUR  
OU DU MANDATAIRE**

(Nom et qualité du signataire)

*[Signature]***A. CASALONGA**

(bm 92-10441)

*[Signature]*

Conseil en Propriété Industrielle

## SÉRIE 1 - DOCUMENT DE DÉPOSÉ

**Procédé de test d'un plan-mémoire à accès séquentiel, et dispositif semiconducteur de mémoire à accès séquentiel correspondant.**

L'invention concerne les mémoires à accès séquentiel, en particulier les mémoires du type "premier entré-premier sorti" (FIFO en langue anglaise), et notamment le test de ces mémoires, qui utilise un circuit spécifique de test intégré lors de la fabrication de la mémoire et l'algorithme de test associé (connu par l'homme du métier sous la dénomination anglaise "BIST" : Built In Self Test).

Actuellement, un circuit de test intégré à une mémoire et l'algorithme de test associé permettent, sur commande, d'écrire dans le plan-mémoire des mots spécifiques de test, puis de les extraire et de comparer les bits de test de ces mots extraits avec des données binaires attendues.

Or, ceci nécessite l'utilisation d'une logique de décodage connectée en sortie du plan-mémoire, recevant par ailleurs les données attendues, et dont l'encombrement est d'autant plus important que la largeur du bus de données de la mémoire, c'est-à-dire le nombre de bits des mots de test, est importante.

Par ailleurs, outre cet aspect pénalisant de l'encombrement de surface, une telle logique de décodage pose des problèmes importants de réalisation matérielle ("routabilité") des différentes connexions entre les différents éléments de la logique de décodage.

L'invention vise à apporter une solution à ce problème. L'invention a pour but de proposer un test d'un plan-mémoire à accès séquentiel, totalement différent de ceux pratiqués jusqu'alors, et qui permette une réalisation particulièrement simple conduisant à un encombrement extrêmement réduit de la logique de test.

L'invention propose donc un procédé de test d'un plan-mémoire à accès séquentiel capable de stocker  $p$  mots de  $n$  bits. Dans ce procédé, on écrit dans le plan-mémoire  $p$  mots de test composés chacun de  $n$  bits de test. On extrait les  $p$  mots de test du plan-mémoire et on compare les bits de test de ces mots extraits avec des données binaires attendues.

30 35 40 45 50 55 60 65 70 75 80 85 90 95 100 105 110 115 120 125 130 135 140 145 150 155 160 165 170 175 180 185 190 195 200 205 210 215 220 225 230 235 240 245 250 255 260 265 270 275 280 285 290 295 300 305 310 315 320 325 330 335 340 345 350 355 360 365 370 375 380 385 390 395 400 405 410 415 420 425 430 435 440 445 450 455 460 465 470 475 480 485 490 495 500 505 510 515 520 525 530 535 540 545 550 555 560 565 570 575 580 585 590 595 600 605 610 615 620 625 630 635 640 645 650 655 660 665 670 675 680 685 690 695 700 705 710 715 720 725 730 735 740 745 750 755 760 765 770 775 780 785 790 795 800 805 810 815 820 825 830 835 840 845 850 855 860 865 870 875 880 885 890 895 900 905 910 915 920 925 930 935 940 945 950 955 960 965 970 975 980 985 990 995 1000

Selon une caractéristique générale de l'invention, on extrait séquentiellement les p mots de test et, pour chaque mot courant extrait, on compare séquentiellement respectivement les n bits de test qui le composent avec n données attendues, avant d'extraire le mot de test suivant.

En d'autres termes, contrairement aux tests classiques de l'art antérieur dans lesquels on comparait simultanément en parallèle les n bits respectifs d'un mot de test extrait avec un mot de données attendu, on effectue, selon une caractéristique de l'invention, cette comparaison bit par bit, séquentiellement pour chaque mot extrait, ce qui permet d'utiliser une logique de comparaison extrêmement simple, comportant par exemple une partie logique OU EXCLUSIF.

Selon un mode de mise en œuvre du procédé, on écrit les p mots de test de n bits de façon à obtenir dans le plan-mémoire une configuration binaire de test, en damier. Les données attendues sont alors extraits et séquentiellement obtenues à partir des combinaisons logiques respectives effectuées des adresses de lecture des mots de test avec les rangs des bits de test dans laquelle chaque mot laurie sa propre logique de comparaison.

Un tel mode de mise en œuvre permet de générer de façon extrêmement simple les données attendues.

L'invention a également pour objet un dispositif semi-conducteur destiné à une mémoire à accès séquentiel, comprenant un plan-mémoire capable de stocker p mots de n bits, et une logique de test connectée aux n sorties du plan-mémoire. Cette logique de test comprend des premiers moyens de

test aptes à écrire dans le plan-mémoire p mots de test composés chacun de n bits de test ainsi que des deuxièmes moyens de test aptes à extraire les p derniers mots de test du plan-mémoire et à comparer les bits de test de ces mots avec les bits extraits avec des données binaires attendues.

Selon une caractéristique générale de l'invention, les deuxièmes moyens de test sont aptes à extraire séquentiellement les p mots de test, et, pour chaque mot courant extrait, à comparer séquentiellement respectivement les n bits de test qui le composent avec n données attendues, avant d'extraire le mot de test suivant.

Selon un mode de réalisation de l'invention, les deuxièmes moyens de test comportent deux étages de logique.

Il existe dans le plan-mémoire un ensemble de  $n$  registres de sorties respectivement connectés aux  $n$  sorties du plan-mémoire, tous ces registres étant en outre chaînés, et il existe au moins 4 des premiers moyens de commande aptes à délivrer aux  $n$  registres de sortie un premier signal de commande de façon à stocker

5 simultanément dans ces n registres, les n bits de test du mot courant de la chaîne **test**, et à la fin de cette opération délivrer aux n registres de sortie, un deuxième signal de commande de façon à décaler séquentiellement le bit de test contenu dans un registre de la chaîne, vers le b. 10 dans le registre suivant, et extraire séquentiellement du registre situé en bout de la chaîne, les n bits de test du mot de test courant, et ainsi.

- des moyens de comparaison aptes à comparer chaque bit extrait  
dudit registre **situé en bout de chaîne**, avec la donnée attendue  
**correspondante**.  
**Chaque registre de sortie est par exemple une bascule D**  
**possédant une entrée adéquate reliée à l'une des sorties du plan-**  
**mémoire; une entrée de test; une sortie de test; et une entrée de commande**  
**de test pour recevoir successivement et alternativement le premier signal**  
**de commande et le deuxième signal de commande.** La sortie de test d'une

20 bascule est alors reliée à l'entrée de test de la bascule adjacente de façon à informer ladite chaîne. L'entrée de test de la première bascule de la chaîne est apte à recevoir une donnée initiale (par exemple présente en sortie d'une autre bascule ou bien d'un registre). Enfin, la sortie de test de la dernière bascule de la chaîne est reliée à une première entrée des moyens

Ces moyens de comparaison peuvent comporter par exemple une fonction de porte logique OU<sub>E</sub> EXCLUSIF éventuellement associée à un inverseur.

Généralement les registres de sortie d'une mémoire à accès séquentiel (FIFO par exemple) sont déjà chaînés et reliés en série avec d'autres chaînes d'autres blocs présents sur le circuit intégré, pour former une chaîne de test connue par l'homme du métier sous la dénomination anglaise de "scan chain". L'invention est ici remarquable en ce sens qu'elle utilise en partie cette chaîne pour effectuer le test selon l'invention (BIST) qui est réalisée à la fin de la mise en œuvre.

Sur la figure 1 de test sont aptes à écrire les p mots de test de n bits de façon à obtenir dans le plan-mémoire une configuration binaire de test en damier. La logique de test comporte alors des moyens de génération aptes à générer séquentiellement les données attendues à partir des combinaisons logiques respectives des adresses de lecture des mots de test avec les rangs des bits de test dans chaque mot lu.

Les moyens de génération comportent avantagusement :

- des premiers moyens aptes à délivrer le bit de poids faible de

chaque adresse de lecture;

10 - un compteur apte à contenir un mot binaire représentatif du rang d'un bit de test dans le mot courant extrait du plan-mémoire,

des deuxièmes moyens aptes à délivrer le bit de poids faible de

chaque mot binaire contenu dans le compteur, et

une porte logique OU EXCLUSIF dont les deux entrées sont

15 respectivement connectées aux deux sorties des premiers et deuxièmes moyens, et dont la sortie délivre séquentiellement les données attendues.

D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de mise en œuvre et de réalisation, nullement limitatifs, et des dessins annexés, sur

20 lesquels : l'obtention, certains quels étant évidentes, de

la figure 1 illustre schématiquement un mode de réalisation d'un dispositif de mémoire selon l'invention; et de

25 la figure 2 représente schématiquement un chronogramme temporel illustrant un mode de mise en œuvre du procédé selon l'invention.

Sur la figure 1, la référence FF désigne un dispositif de mémoire à accès séquentiel, par exemple une mémoire du type FIFO.

Cette mémoire FF comporte un plan-mémoire PMM capable de stocker p mots de n bits. En d'autres termes, la profondeur de cette

30 mémoire est égale à p et la largeur du bus de données est égale à n. Dans

l'exemple décrit ici, à des fins de simplification, p est égal à 4 et n est égal à 3.

Sur cette figure, les références ai désignent les adresses de

stockage successives des p mots dans le plan-mémoire PMM.

35 L'écriture et la lecture en mode normal de fonctionnement sont

effectuées de façon classique par des pointeurs d'écriture et de lecture commandés, également de façon classique, par des moyens de commande CPT. De plus, les données sont alors délivrées aux entrées de données D des bascules. Un multiplexeur MUXB permet, en réponse à un signal de commande RB, de contrôler les pointeurs d'écriture et de lecture du plan-mémoire, soit à partir des moyens de commande CPT (en mode normal de fonctionnement), soit à partir des moyens de commande MT1 (pour un fonctionnement en mode de test).

De même, la sélection des données à écrire dans le plan-mémoire s'effectue par l'intermédiaire de n multiplexeurs MUXi, commandés également par le signal de commande RB. Ainsi, en mode de fonctionnement normal, les n données DD présentes sur le bus sont écrites dans le plan-mémoire.

Par contre, en mode de test, ce sont des données binaires de test sur 15 bits DT qui sont écrites dans le plan-mémoire PMM. Les moyens de commande MT1 ainsi que les multiplexeurs MUXi et MUXB forment alors des premiers moyens de test aptes, en combinaison avec les données de test DT, à écrire dans le plan-mémoire p mots de test composés chacun de n bits de test. Par ailleurs, selon un mode de réalisation préférentiel, les premiers moyens de test écrivent les p mots de test de n bits de façon à obtenir dans le plan-mémoire une configuration de test en damier. Une configuration en damier, telle que celle illustrée sur la figure 1, est une configuration dans laquelle chaque mot de test ne comporte une alternance de 0 et 1, et dans laquelle les 0 et les 1 de deux mots écrits à deux adresses successives sont mutuellement décalés d'un bit.

La mémoire FF comporte par ailleurs n registres de sortie BC0-BC1-BC2. Ces registres de sortie sont ici des bascules D, possédant chacune une entrée de donnée D reliée à l'une des n sorties du plan-mémoire PMM. Chaque bascule D possède par ailleurs une entrée de test TI, une sortie de test SO et une entrée de commande de test TE. Par ailleurs, chaque bascule est commandée temporellement par un signal d'horloge CK.

Enfin, chaque bascule comporte une sortie de donnée Q.

En mode de fonctionnement normal, les n données extraites de la mémoire PMM sont délivrées aux n entrées de données respectives D des

bascules, puis délivrées aux  $n$  sorties de données Q au rythme des fronts montants du signal d'horloge CK. Par contre, il en est autrement en mode de test, comme cela va maintenant être expliqué plus en détail.

En effet, outre le fait que ces  $n$  bascules soient respectivement connectées aux  $n$  sorties du plan-mémoire PMM par l'intermédiaire de leur entrée de données D, elles sont chaînées. Plus précisément, la sortie de test SO d'une bascule, BC1 par exemple, est reliée à l'entrée de test TI de la bascule adjacente, BC0 par exemple, de façon à former une chaîne. Par ailleurs, l'entrée de test TI de la première bascule BC2 de la chaîne est reliée à un moyen de stockage contenant une donnée initiale DDI. En fait, la valeur de cette donnée initiale n'a aucune importance, comme on le verra plus en détail ci-après. Le moyen de stockage peut être par exemple

la sortie d'une autre bascule d'un autre élément du circuit intégré. L'entrée TI de la première bascule BC2 peut également être reliée à la masse par l'intermédiaire d'un câblage. Toutes les entrées de commande de test TE reçoivent un signal CB émanant de moyens de commande MCD. Lorsque le signal CB prend par exemple la valeur 0, il constitue alors un premier signal de commande, et une donnée présente à l'entrée D d'une bascule est alors délivrée à la sortie SO au front montant suivant de l'horloge CK. Par contre, lorsque le signal CB prend la valeur 1, il constitue alors un deuxième signal de commande et, dans ce cas, chaque bascule délivrera à la sortie SO la donnée présente à l'entrée de test TI, au rythme des fronts montants du signal d'horloge CK.

La structure et le fonctionnement d'une telle bascule D, équipée en outre d'une entrée de test, d'une sortie de test et d'une entrée de commande de test, sont parfaitement connus de l'homme du métier.

Par ailleurs, il est prévu des moyens de comparaison formés ici d'une porte logique NON OU EXCLUSIF PL2. Une première entrée de cette porte logique PL2 est reliée à la sortie de test SO de la bascule BC0 située en bout de chaîne. L'autre entrée de la porte logique PL2 reçoit séquentiellement les données attendues DAi. La sortie de cette porte logique PL2 est un signal logique qui prend la valeur 0 ou 1, au rythme des comparaisons, en fonction du résultat

de ces comparaisons, le résultat de la bivalente comparaison

Lorsqu'on utilise une configuration de test en damier, un moyen très simple de générer les données attendues DAi est illustré sur la partie basse de la figure 1.

Plus précisément, ce moyen consiste à effectuer une combinaison logique du bit de poids faible LSB de l'adresse de lecture ai et du bit de poids faible du rang rgi du bit de test lu dans le mot considéré. Plus précisément, si l'adresse de lecture a0 est l'adresse 00 en binaire, que l'adresse de lecture a1 est l'adresse 01, que l'adresse de lecture a2 est l'adresse 10 et que l'adresse de lecture a3 est l'adresse 11, les premiers moyens M1 qui vont délivrer le bit de poids faible de chaque adresse de lecture vont délivrer en étatue 1, lorsque ce qui concerne le mot de test situé à l'adresse a0, la valeur 0.

Par ailleurs, un compteur CT, incrémenté au rythme du signal d'horloge CK, va compter de 0 à n-1. Si l'on suppose que la valeur 0 est la valeur représentative du rang du bit de test DT0, la bit de poids faible de la valeur ferme à 0 du compteur est égal à 0 pour le bit de test DT0, à 1 pour le bit de test DT1 et à 0 pour le bit de test DT2. Il suffit alors de vérifier si le bit de test DT3 est à 0.

La combinaison logique du bit de poids faible de l'adresse de lecture LSB (ai) et du bit de poids faible LSB (rgi), de la valeur du compteur, dans la porte logique NON OU EXCLUSIF, référencée PL1, fournit bien séquentiellement les valeurs 1, 0 et 1 correspondant au mot de test stocké à l'adresse a0 dans le plan-mémoire PMM.

Bien entendu, dans le cas où le mot de test stocké à l'adresse a0 aurait été 0, la porte logique PL1 aurait été simplement une porte logique OU EXCLUSIF, pas nécessairement celle-ci.

On va maintenant décrire plus en détail le test du plan-mémoire PMM en se référant plus particulièrement à la figure 2.

Les moyens de commande MCD, qui délivrent le signal CB (bit d'horloge CK) confèrent tout d'abord la valeur 0 au signal CB (premier front montant d'horloge CK1); les données de test DT0, DT1 et DT2 du mot de test stocké à l'adresse a0, sont simultanément délivrées aux sorties respectives de test SO des bascules BC0, BC1 et BC2. Dans le même cycle,

la donnée DT0, disponible à la sortie de test SO de la bascule BC0, est comparée dans la porte logique PL2 à la donnée attendue DA0. Le résultat de la comparaison est fourni par la valeur FA0 du signal FAi.

Par ailleurs, dans le même cycle du signal d'horloge, la donnée DT2 est disponible à l'entrée de test TI de la bascule BC1 et la donnée de test DT1 est disponible à l'entrée de test TI de la bascule BC0.

Après le front montant CK1 du signal d'horloge, et avant le front montant suivant CK2, les moyens de commande MCD font passer à 1 le signal CB (deuxième signal de commande).

De ce fait, au front montant suivant CK2 du signal d'horloge CK, il se produit un décalage des données disponibles en sortie de test SO des bascules, vers la bascule située en bout de chaîne.

Plus précisément, la donnée initiale DDI est alors disponible à la sortie SO de la bascule BC2. La donnée de test DT2 est disponible à la sortie de test SO de la bascule BC1 et la donnée de test DT1 est disponible à la sortie de test SO de la bascule BC0. Cette dernière donnée peut alors être testée par comparaison dans la porte logique PL2 avec la donnée attendue correspondante DA1.

Au front montant d'horloge suivant CK3, le signal CB est toujours à 1. De ce fait, c'est maintenant la donnée DT2 qui est disponible à la sortie de test SO de la bascule BC0 et qui peut être comparée à la donnée attendue DA2 dans la porte logique PL2.

A cet instant là, l'ensemble du mot de test qui était stocké dans le plan-mémoire PMM à l'adresse de lecture a0 a été testé.

Pour tester le mot de test suivant, qui avait été stocké à l'adresse de lecture a1 qui est maintenant disponible en sortie du plan-mémoire PMM, les moyens de commande MCD refont passer le signal CB à 0, ce qui a pour conséquence, au front montant suivant CK4 du signal d'horloge, de délivrer en sortie de test SO des bascules BC2, BC1 et BC0 les bits de test DT2, DT1 et DT0 de ce mot de test suivant.

Puis, après ce front montant d'horloge CK4, le signal CB est à nouveau mis à la valeur logique 1, et le processus de décalage et de test séquentiel des bits de test du mot de test s'effectue d'une façon analogue à celle qui vient d'être décrite pour le mot de test précédent.

Il convient donc de noter ici que la donnée initiale DDI

Il n'intervient jamais dans le test et par conséquent sa valeur est sans importance.

L'invention a donc permis un test très simple du plan-mémoire, à la fréquence normale de fonctionnement du circuit, et en utilisant une logique de test extrêmement simple et réduite.

L'invention n'est pas limitée aux modes de réalisation et de mise en œuvre qui viennent d'être décrits, mais en embrasse toutes les variantes. Ainsi, le test selon l'invention pourrait s'appliquer aisément à une mémoire à accès séquentiel du type dernier entré-premier sorti (LIFO).

en langue anglaise).  
une classe pour les objets

qui sont des objets équivalents au sens suivant :

ceux qui sont équivalents au sens où l'on peut déterminer pour eux si deux objets sont ou non équivalents. Cela signifie que deux objets sont équivalents si l'un d'eux peut être obtenu à partir de l'autre par une transformation continue et monotone. Par exemple, si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

Si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

Si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

Si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

Si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

Si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

Si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

Si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

Si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

Si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

Si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

Si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

Si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

Si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

Si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

Si l'on a deux objets, A et B, et qu'il est possible de passer d'A à B par une transformation continue et monotone, alors A et B sont équivalents.

## REVENDICATIONS

1. Procédé de test d'un plan-mémoire à accès séquentiel capable de stocker  $p$  mots de  $n$  bits, procédé dans lequel on écrit dans le plan-mémoire  $p$  mots de test composé chacun de  $n$  bits de test (DT), on extrait les  $p$  mots de test du plan-mémoire et on compare les bits de test de ces mots extraits avec des données binaires attendues (DAi), caractérisé par le fait qu'on extrait séquentiellement les  $p$  mots de test, et pour chaque mot courant extrait on compare séquentiellement respectivement les  $n$  bits de test qui le composent avec  $n$  données attendues (DAi), avant d'extraire le mot de test suivant.
  
2. Procédé selon la revendication 1, caractérisé par le fait qu'on écrit les  $p$  mots de test de  $n$  bits de façon à obtenir dans le plan-mémoire une configuration binaire de test en damier, et par le fait que les données attendues sont séquentiellement obtenues à partir des combinaisons logiques respectives des adresses de lecture (ai) des mots de test avec les rangs (rgi) des bits de test dans chaque mot lui-même.
  
3. Dispositif semi-conducteur de mémoire à accès séquentiel, comprenant un plan-mémoire (PMM) capable de stocker  $p$  mots de  $n$  bits, et une logique de test, connectée aux  $n$  sorties du plan-mémoire, et comprenant des premiers moyens de test (MT1) aptes à écrire dans le plan-mémoire  $p$  mots de test composé chacun de  $n$  bits de test ainsi que des deuxièmes moyens de test aptes à extraire les  $p$  mots de test du plan-mémoire et à comparer les bits de test de ces mots extraits avec des données binaires attendues, caractérisé par le fait que les deuxièmes moyens de test sont aptes à extraire séquentiellement les  $p$  mots de test, et pour chaque mot courant extrait, à comparer séquentiellement respectivement les  $n$  bits de test qui le composent avec  $n$  données attendues, avant d'extraire le mot de test suivant.
  
4. Dispositif selon la revendication 3, caractérisé par le fait que les deuxièmes moyens de test comportent un ensemble de  $n$  registres de sorties (BCi) respectivement connectés aux  $n$  sorties du plan-mémoire, tous ces registres étant en outre chaînés, et par la présence d'un moyen de commande (MCD) apte à délivrer aux

n registres de sortie un premier signal de commande (CB) de façon à stocker simultanément dans ces n registres, les n bits de test du mot de test courant de test, et dans la partie 5ème nro des deuxièmes moyens de commande (MCD) aptes à délivrer dans la partie 5ème, aux n registres de sortie, un deuxième signal de commande (CB) de façon à décaler séquentiellement le bit de test contenu dans un registre de la chaîne, vers le registre suivant, et extraire séquentiellement du registre en bout de chaîne, les n bits de test du mot de test courant, et dans la partie 5ème - des moyens de comparaison (PL2) aptes à comparer chaque bit extrait dudit registre situé en bout de chaîne, avec la donnée attendue correspondante.

5. Dispositif selon la revendication 4, caractérisé par le fait que  
chaque registre de sortie (BC<sub>i</sub>) est une bascule D possédant une entrée de  
donnée (D) reliée à l'une des n sorties du plan mémoire, une entrée de test  
(TI), une sortie de test (SO), et une entrée de commande de test (TE) pour  
recevoir successivement et alternativement le premier signal de  
commande et le deuxième signal de commande (CB), par le fait que la  
sortie de test d'une bascule est reliée à l'entrée de test de la bascule  
adjacente de façon à former ladite chaîne, par le fait que l'entrée de test de  
la première bascule de la chaîne est apte à recevoir une donnée initiale  
(DDI), par le fait que la sortie de test de la dernière bascule est reliée à une  
première entrée des moyens de comparaison.

en résumé 6. Dispositif selon la revendication 5, caractérisé par le fait que les moyens de comparaison (PL2) comportent une porte logique OU

**EXCLUSIF**, et leur sérialisation, peuvent être renversé et inversez. Le dispositif selon l'une des revendications 3 à 6, caractérisé par le fait que les premiers moyens de test sont aptes à écrire les p mots de test successifs de n bits de façon à obtenir dans le plan-mémoire une configuration binaire de test en damier, et par le fait que la logique de test comporte des moyens de génération (M<sub>1</sub>, GT) aptes à générer séquentiellement les données attendues à partir des combinaisons logiques respectives des adresses de lecture des mots de test avec les rangs des bits de test dans chaque mot lu.

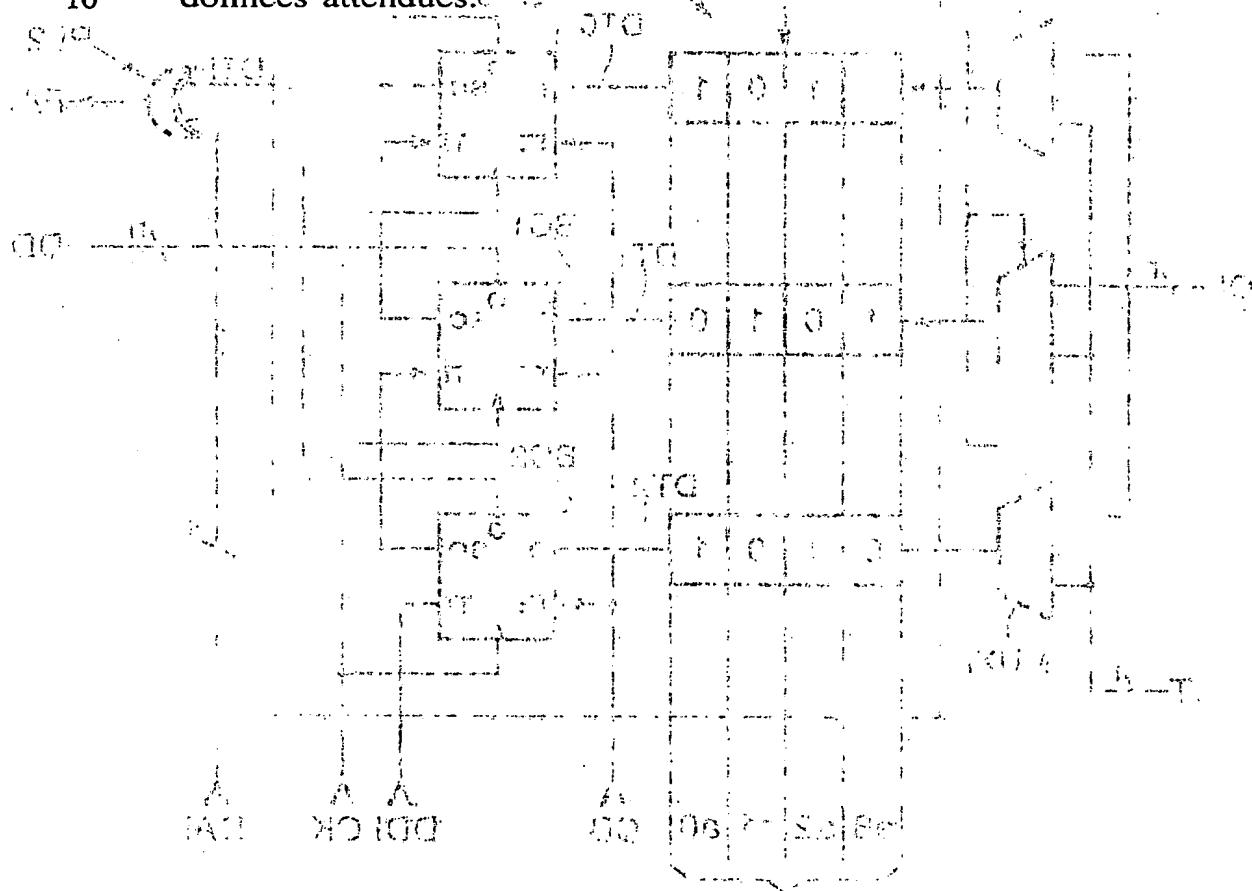
8. Dispositif selon la revendication 7, caractérisé par le fait que

- des premiers moyens (M1) aptes à délivrer le bit de poids faible de chaque adresse de lecture,

- un compteur (CT) apte à contenir un mot binaire représentatif du rang d'un bit de test dans le mot courant extrait du plan-mémoire,

5 - des deuxièmes moyens aptes à délivrer le bit de poids faible de chaque mot binaire contenu dans le compteur, et

10 - une porte logique OU EXCLUSIF (PL1) dont les deux entrées sont respectivement connectées aux deux sorties desdits premier et deuxième moyens, et dont la sortie délivre séquentiellement lesdites données attendues.



80

100

100

100

100

1/2

FIG.1

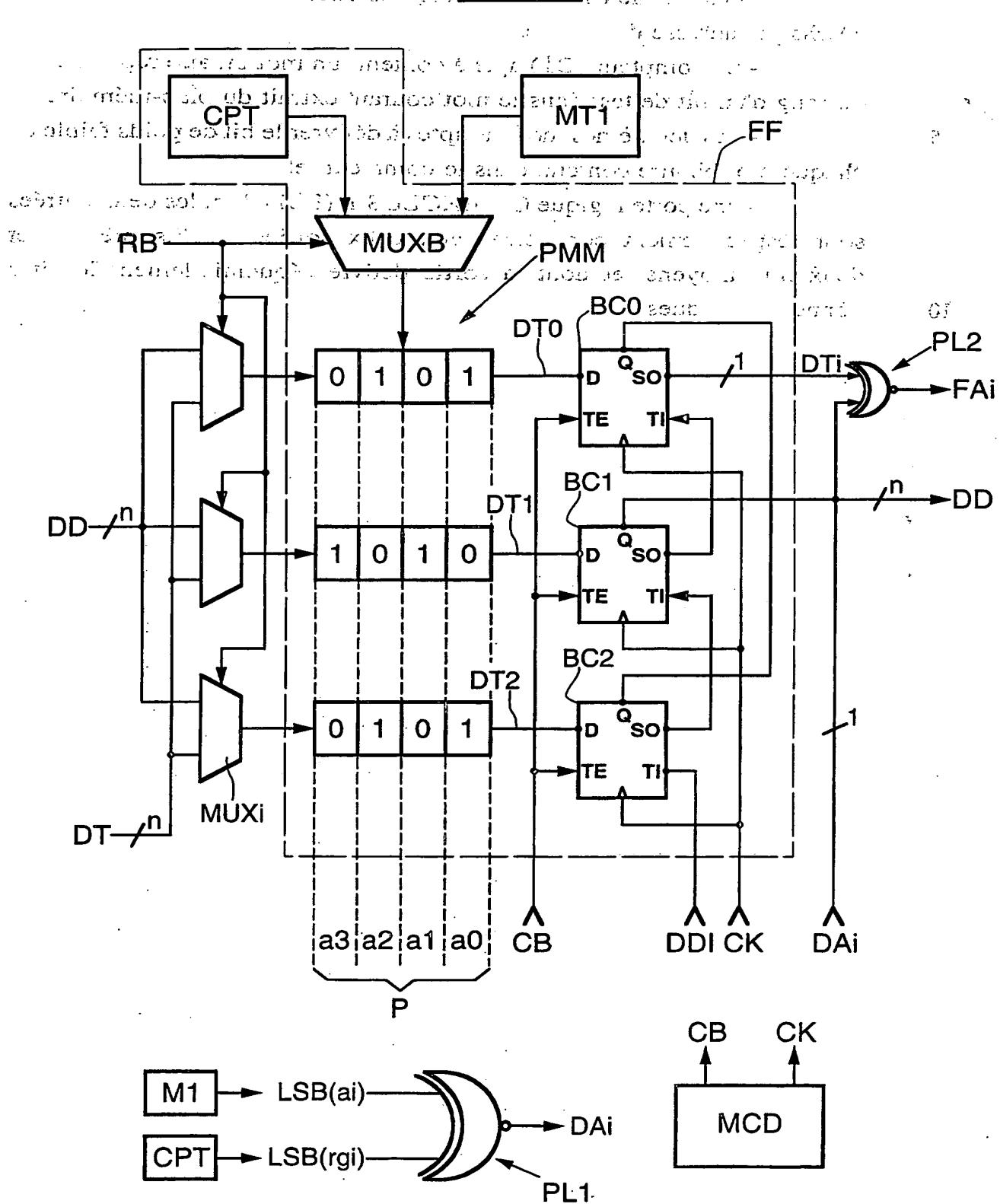
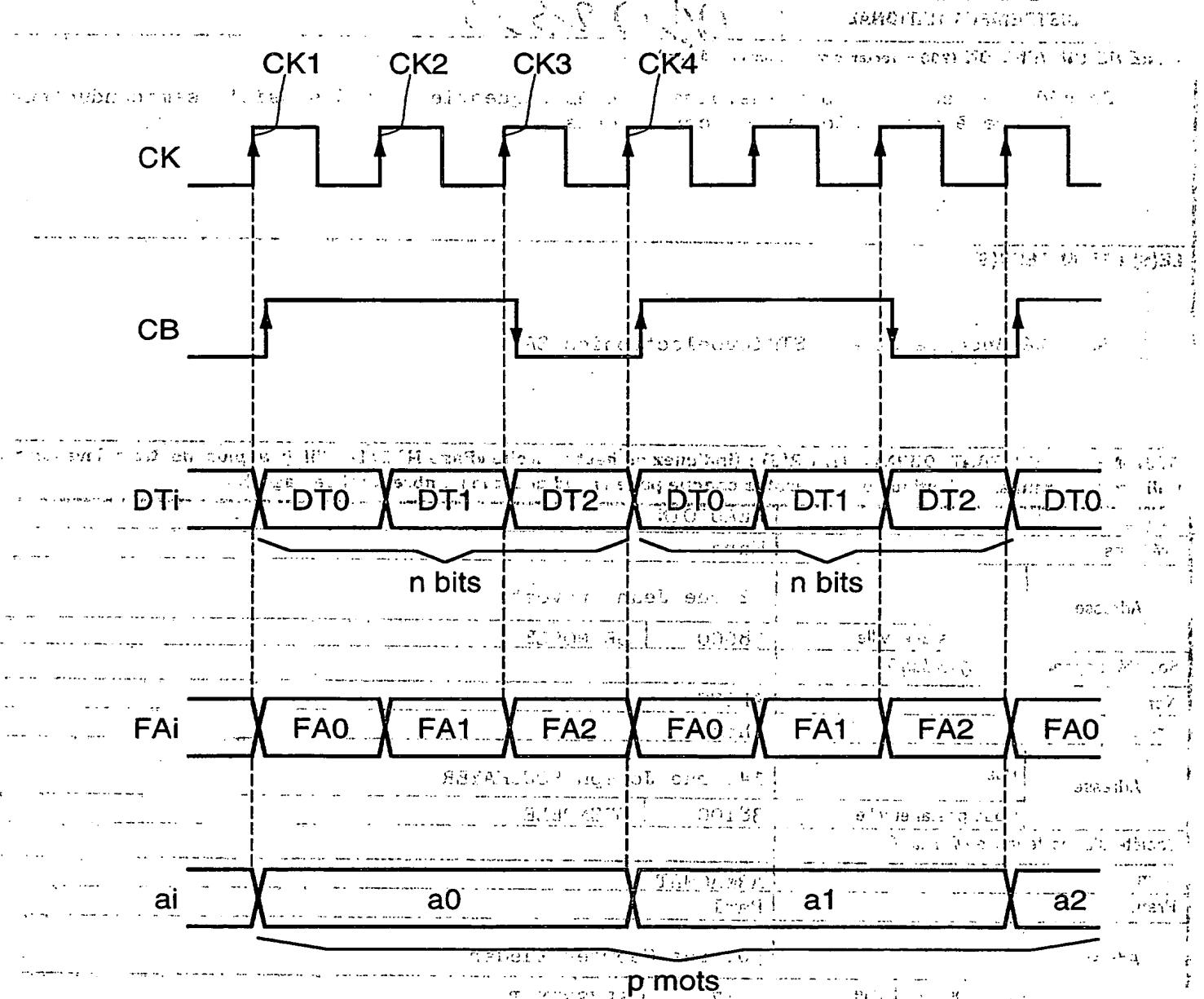


FIG.2



**BREVET D'INVENTION****CERTIFICAT D'UTILITÉ**

Code de la propriété intellectuelle - Livre VI

**cerfa**

N° 11235\*02

**DÉPARTEMENT DES BREVETS**

26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

**DÉSIGNATION D'INVENTEUR(S) Page N° 1 . . / . 1.**

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Ce document est à remplir lisiblement à l'encre noire

DB 113 W /260899

Vos références pour ce dossier (facultatif)	B 00/4113 FR FZ	
N° D'ENREGISTREMENT NATIONAL	0102333	
<b>TITRE DE L'INVENTION</b> (200 caractères ou espaces maximum)		
Procédé de test d'un plan-mémoire à accès séquentiel, et dispositif semiconducteur de mémoire à accès séquentiel correspondant.		
<b>LE(S) DEMANDEUR(S) :</b>		
Société Anonyme dite : STMicroelectronics SA		
<b>DESIGNE(NT) EN TANT QU'INVENTEUR(S) :</b> (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).		
Nom		BEAUJOIN
Prénoms		Marc
Adresse	Rue	12 rue Jean Prévost
	Code postal et ville	38000 GRENOBLE
Société d'appartenance (facultatif)		
Nom		ALOFS
Prénoms		Thomas
Adresse	Rue	14, rue Joseph BOUCHAYER
	Code postal et ville	38100 GRENOBLE
Société d'appartenance (facultatif)		
Nom		ARMAGNAT
Prénoms		Paul
Adresse	Rue	50, rue Georges Maeder
	Code postal et ville	38170 SEYSSINET
Société d'appartenance (facultatif)		
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)		Paris, le 21 Février 2001.  A. CASALONGA (bm 92-1044i) Conseil en Propriété Industrielle

THIS PAGE BLANK (use to)